



高水準ペトリネットを記述可能な援用ツール HiPS2 と 非同期回路検証への適用

信州大学大学院 工学系研究科 情報工学専攻
堀内 維作 和崎克己

アジェンダ

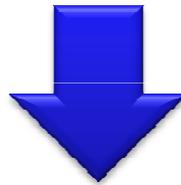
- 概要
- ペトリネット
- HiPS
- カラーペトリネット
- HiPS2
 - データ定義
 - トランジション発火条件論理式
- 非同期回路のモデル化と検証
- 今後の展望

研究背景

- デジタルシステムの信頼性確保は重要
- 非同期回路の安全性の検証は難しいとされる
 - クロック同期が必要ないため、クロック・スキューの問題が生じず、遅延時間を最小化できる利点がある
- 時間ペトリネットを利用したモデル化
 - 信号点の状態変化をメッセージとして後段へ送る
 - ゲート素子には遅延時間があるため有用
 - ペトリネット援用ツールHiPSの活用

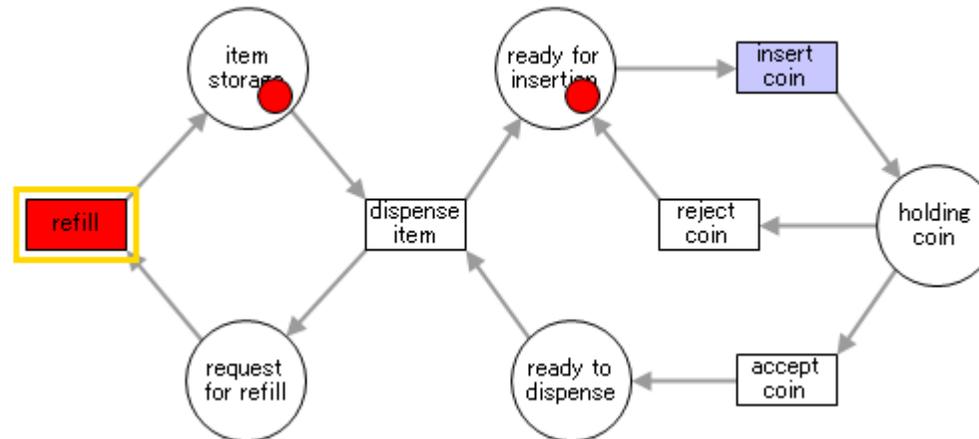
目的: 上流アプローチ

- HiPSをより有用なペトリネットツールへ
→ 記述性・可読性のさらなる向上を目指す



- 高水準ペトリネットであるカラーペトリネットへの対応
→ あらゆるシステムの設計・シミュレーションを容易に！

ペトリネット *



- 並行的・非同期的・分散的なシステムのモデル化手法
- 2部有向グラフ
 - プレース, トランジション, アーク, トークン
- シミュレーション機能
 - トークンの配置でシステムの状態を表す
- 時間P/Tネット: 時間の概念を付与したペトリネット

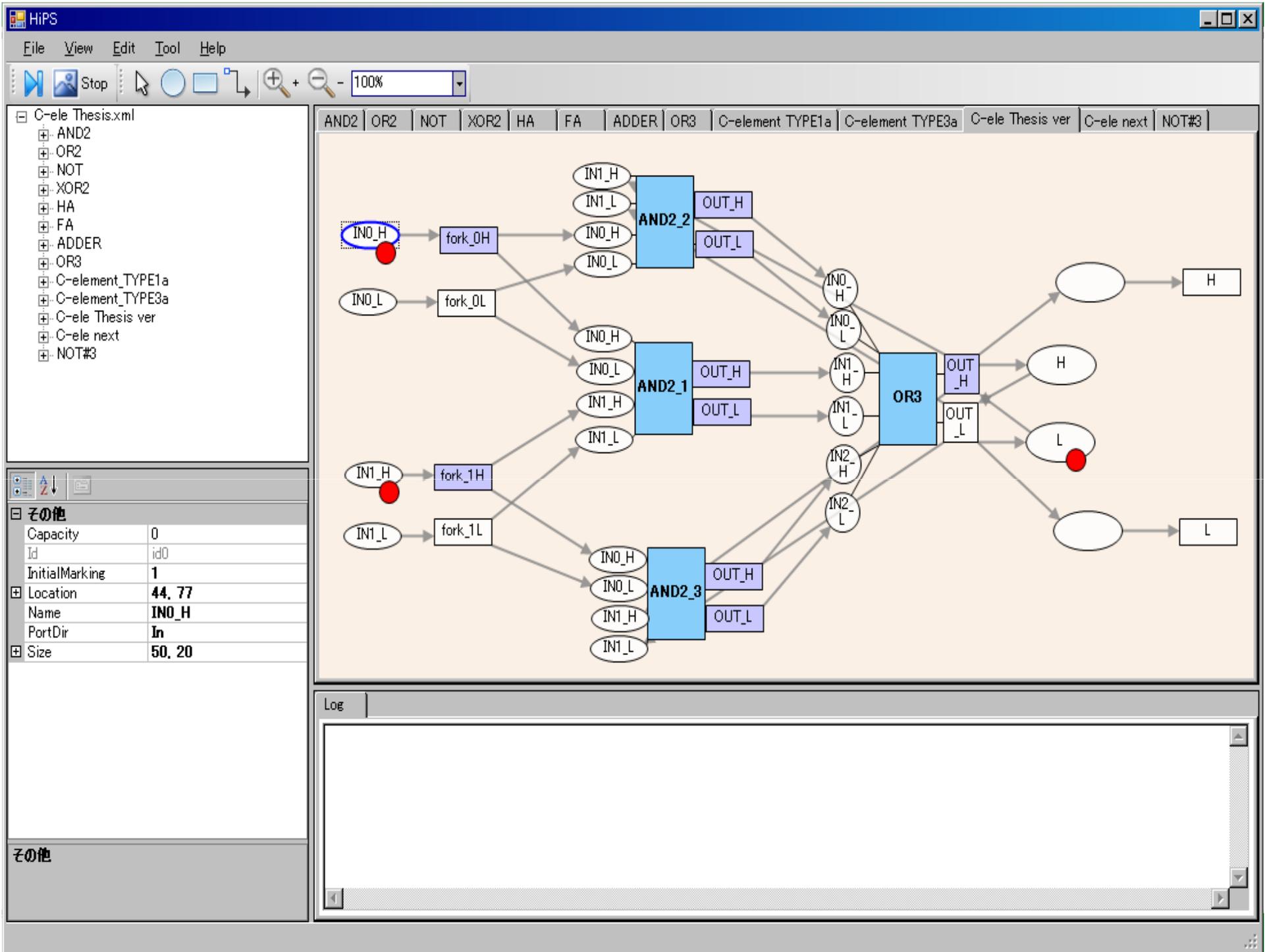
* Tadao Murata: Petri Nets: Properties, Analysis and Applications, Proc.IEEE, Vol.77, No.4, pp.541-580, 1989

ペトリネット援用ツール HiPS^{*}

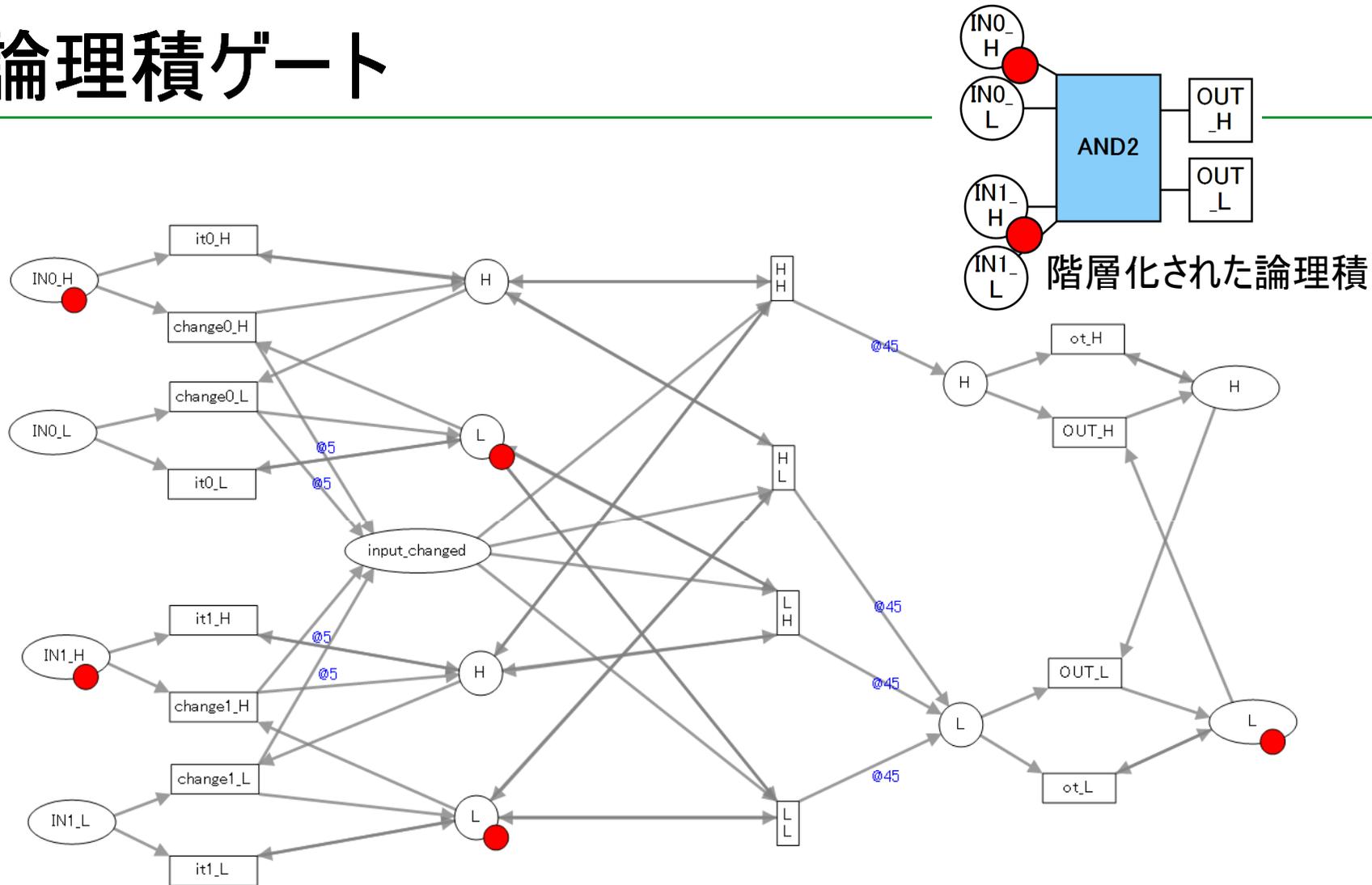
- ペトリネット設計・検証ツール
- 直感的, 一般的な操作方法のGUI
- 時間ペトリネット
- ペトリネットの階層化^{*}
- 非同期回路設計・検証に応用^{**}
- 開発環境 Visual C#

* 野村達雄: 階層化可能なペトリネットツールの開発, 信州大学卒業論文, 2009.

** 松山千尋, 和崎克己: Time-Petri Netを用いた非同期回路のモデル化と階層化設計, FIT2009(第8回情報科学技術フォーラム)講演論文集, 1, (C-038), 523-526, 2009.



論理積ゲート



➤ゲート回路のPNモデル化は、以下で提案されている基本モデルに対して、
入力変化の不感時間領域を追加したもの

※Yoneda, Zhou, Schlingloff, "Verification of Bounded Delay Asynchronous Circuits with Timed Traces," AMAST1999, LNCS1548 (1999)

問題点

■ 通常のペトリネット

- 2進数などのデータを全てグラフ構造で表さなければならない

高水準ペトリネットを記述可能なHiPS2の開発

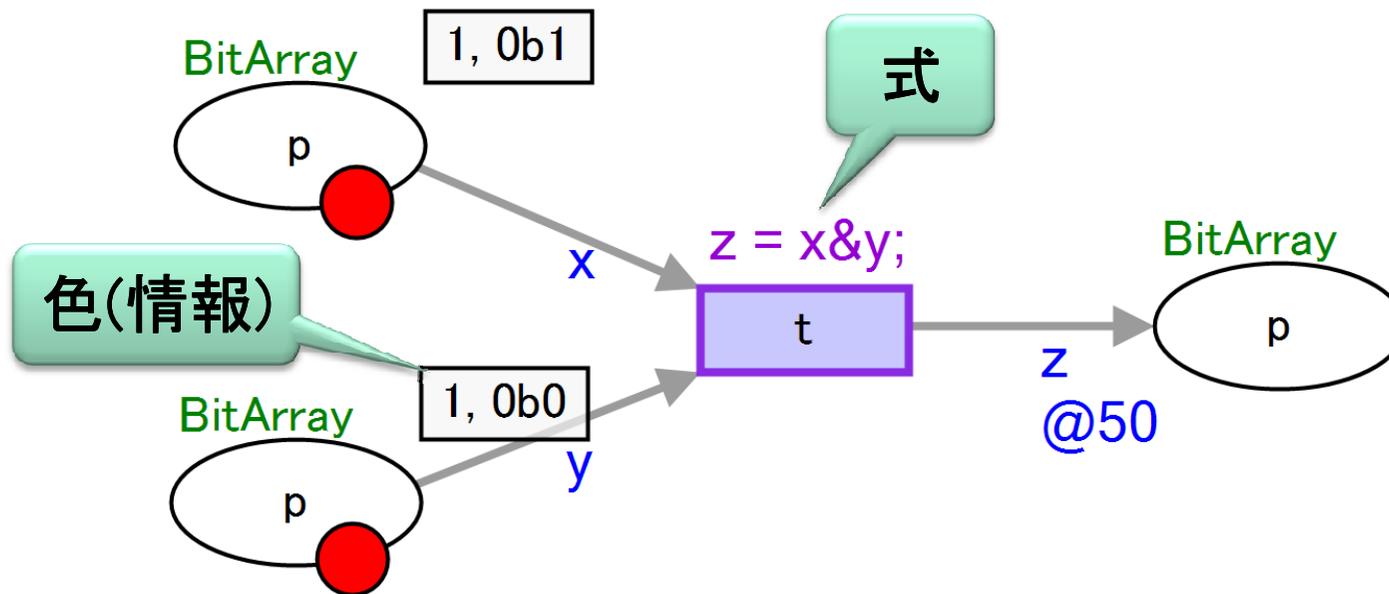
■ モデルの巨大化

- 階層化に対応しているものの設計に手間がかかる
- システム構造を一見理解しにくくなる
- 発火トランジションの増加により、シミュレーションを理解しにくくなる

カラーペトリネットとは

■ 高水準ペトリネット

- トークンが色 (情報) を保持できる
- データ型, 発火ガード式の定義が可能
- これにより, ネット構造を畳み込むことが可能



HiPS2 : 定義可能なデータ型

■ データ型

→ Int8, int16, int32, String, BitArray, Boolean, 列挙体, 構造体

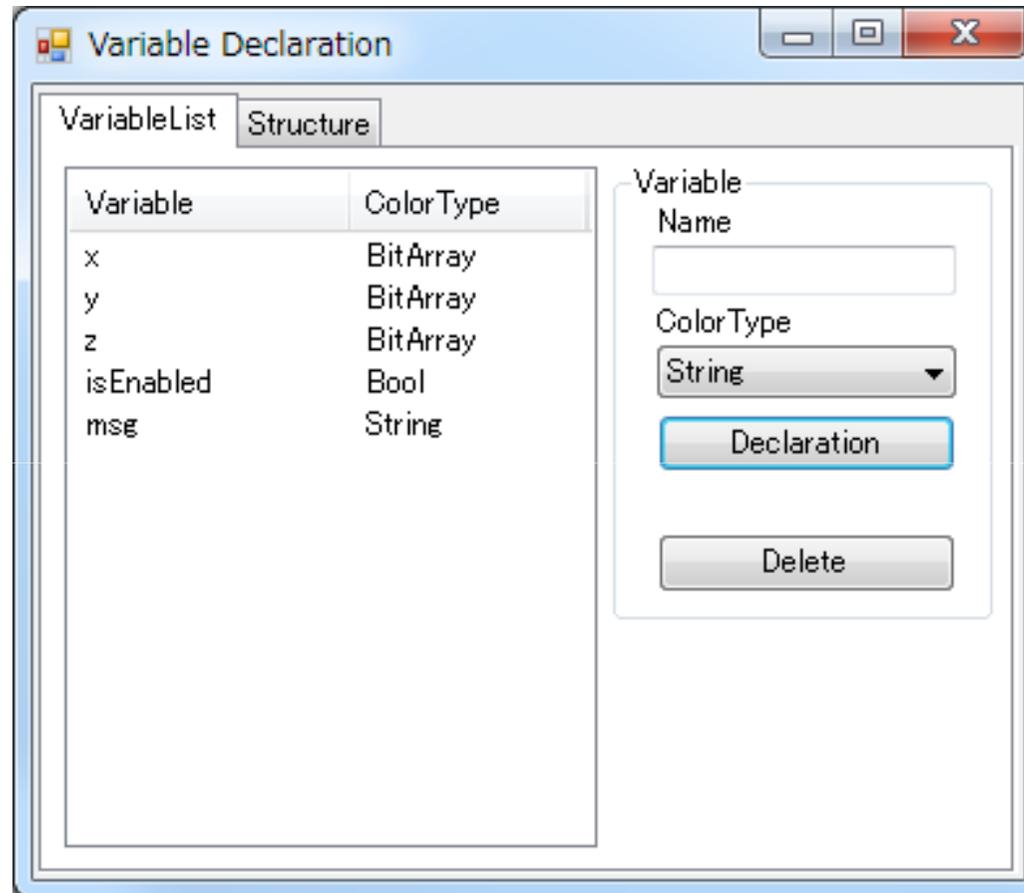
■ 構造体

→ 基本データ型をまとめて1つのデータ型として扱う



- グラフによるデータ表現の複雑な設計がなくなる
- 扱うデータを値として表示できるので理解しやすい

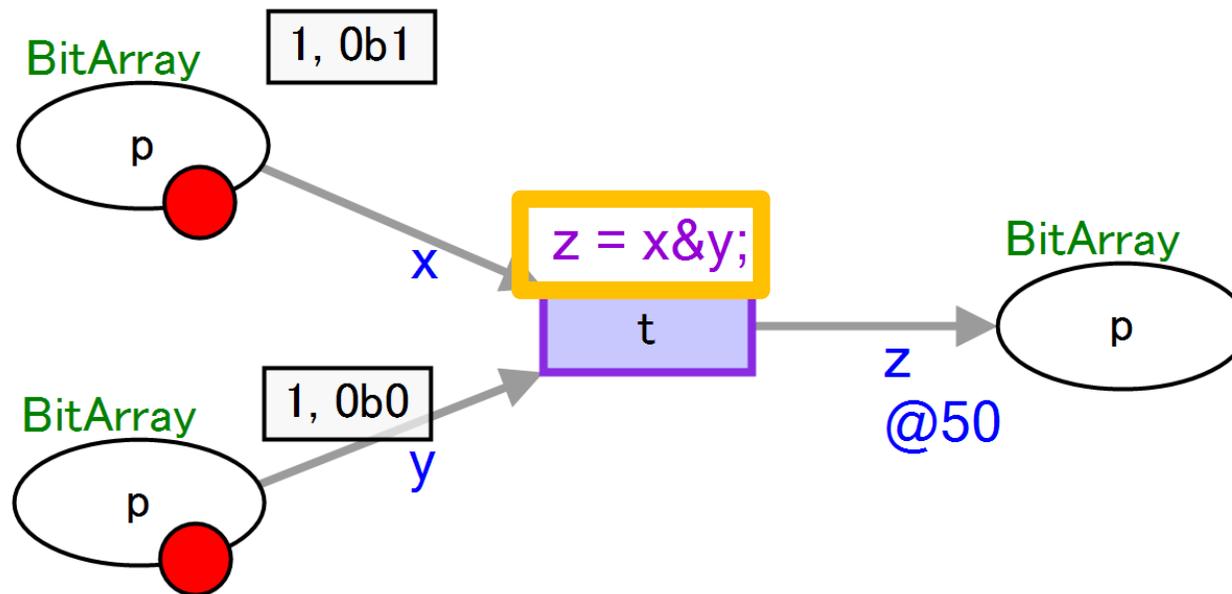
HiPS2 : データ宣言ダイアログ



- ダイアログで宣言された変数を使い，式を記述する

HiPS2 : トランジション発火条件論理式

- 条件式, 計算式をトランジションに付与
- トークンの色(情報)を加工
 - 入カプレースのトークンのデータを処理し、出カプレースに出力する



HiPS2 : トランジション発火条件論理式

■ 条件式

→ if-else文, switch-case文,

■ 演算子

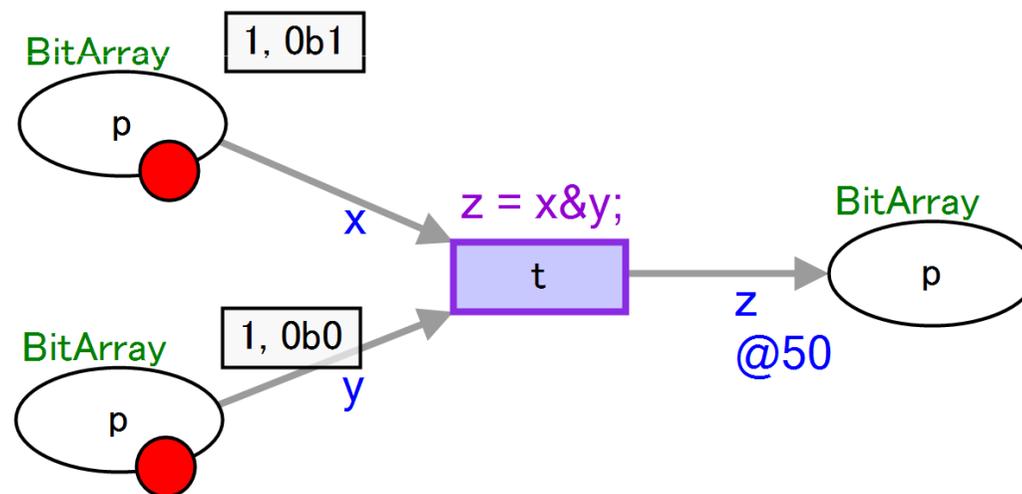
→ 算術演算子

→ 論理演算子

→ ビット演算子

→ ビットシフト演算子

→ 複合代入演算子

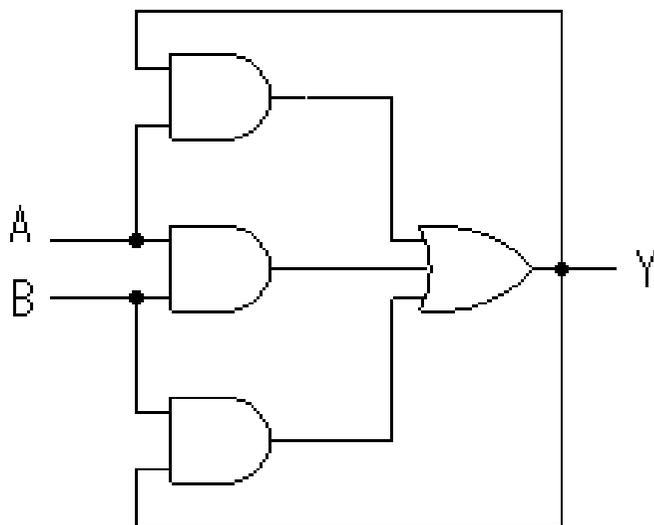


ケーススタディ

- Muller' s C-element
- 2bit データレジスタ

Muller's C-element

- 記憶素子の役割
- 2入力論理積3つと3入力論理和1つで構成
- 2入力の値が一致すればその値が出力され, 異なる場合, 出力は変化しない



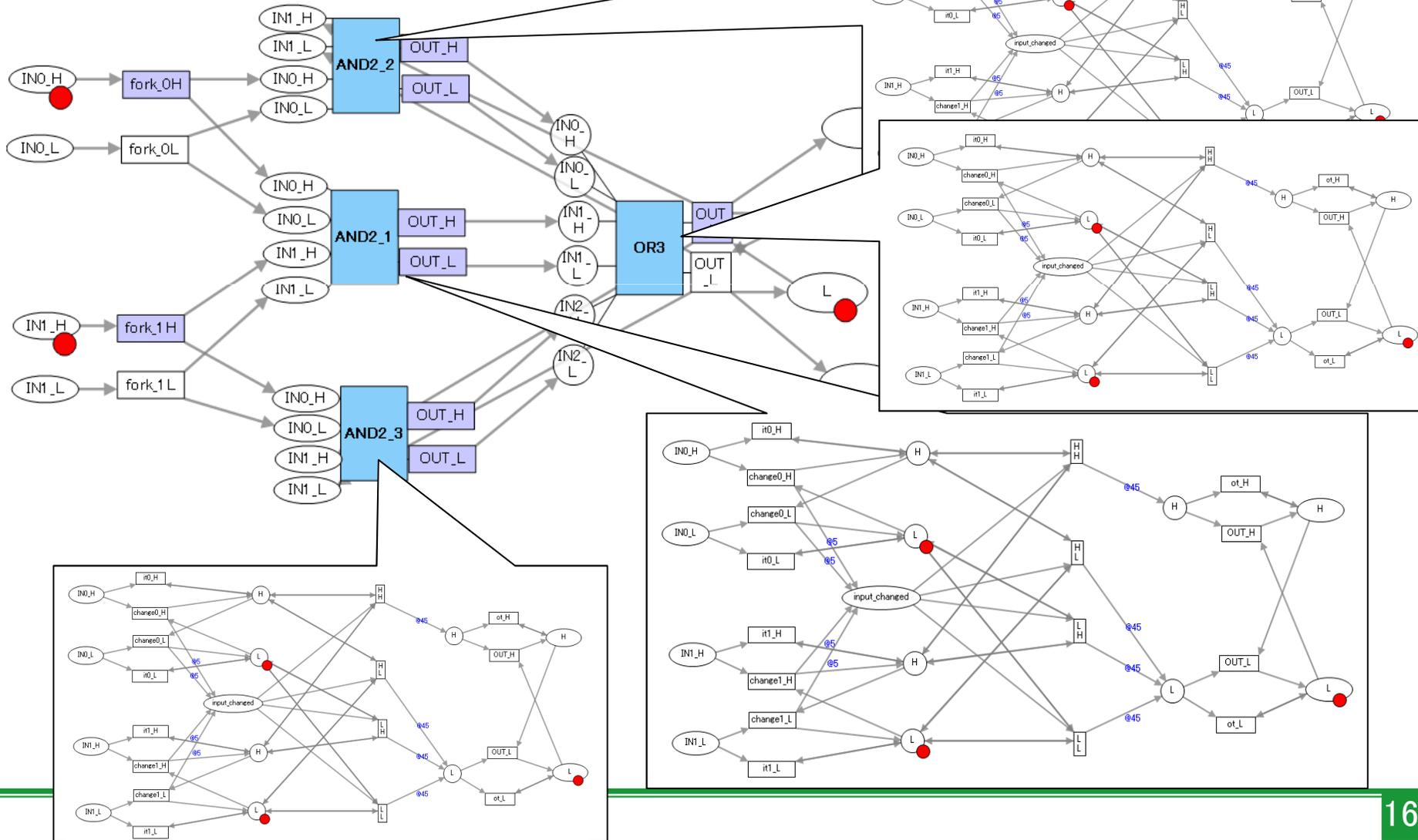
回路図

A	B	Y
0	0	0
0	1	Y_{n-1}
1	0	Y_{n-1}
1	1	1

真理値

Muller's C-elementのモデル化

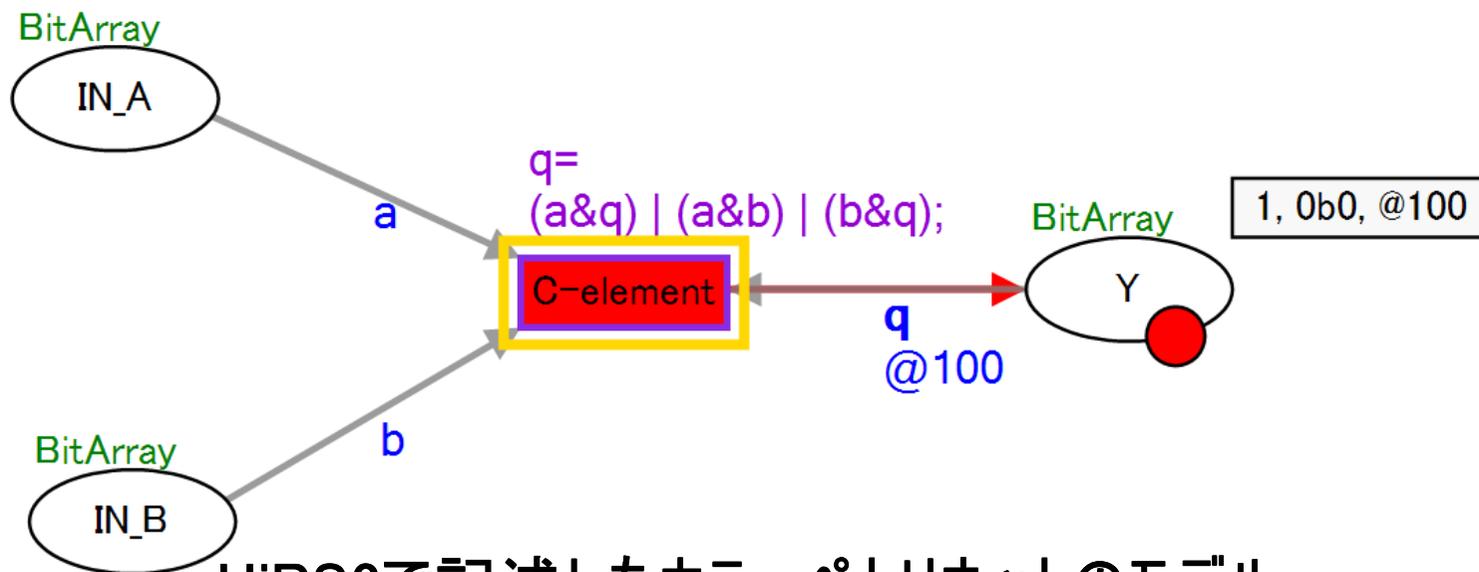
■ 時間P/Tネットのモデル



Muller's C-elementのモデル化

- トランジション発火条件論理式で構成要素を表現
- 抽象度の幅が広く、大幅な簡略化を実現できる
 - ホワイトボックス、ブラックボックスが選択できる

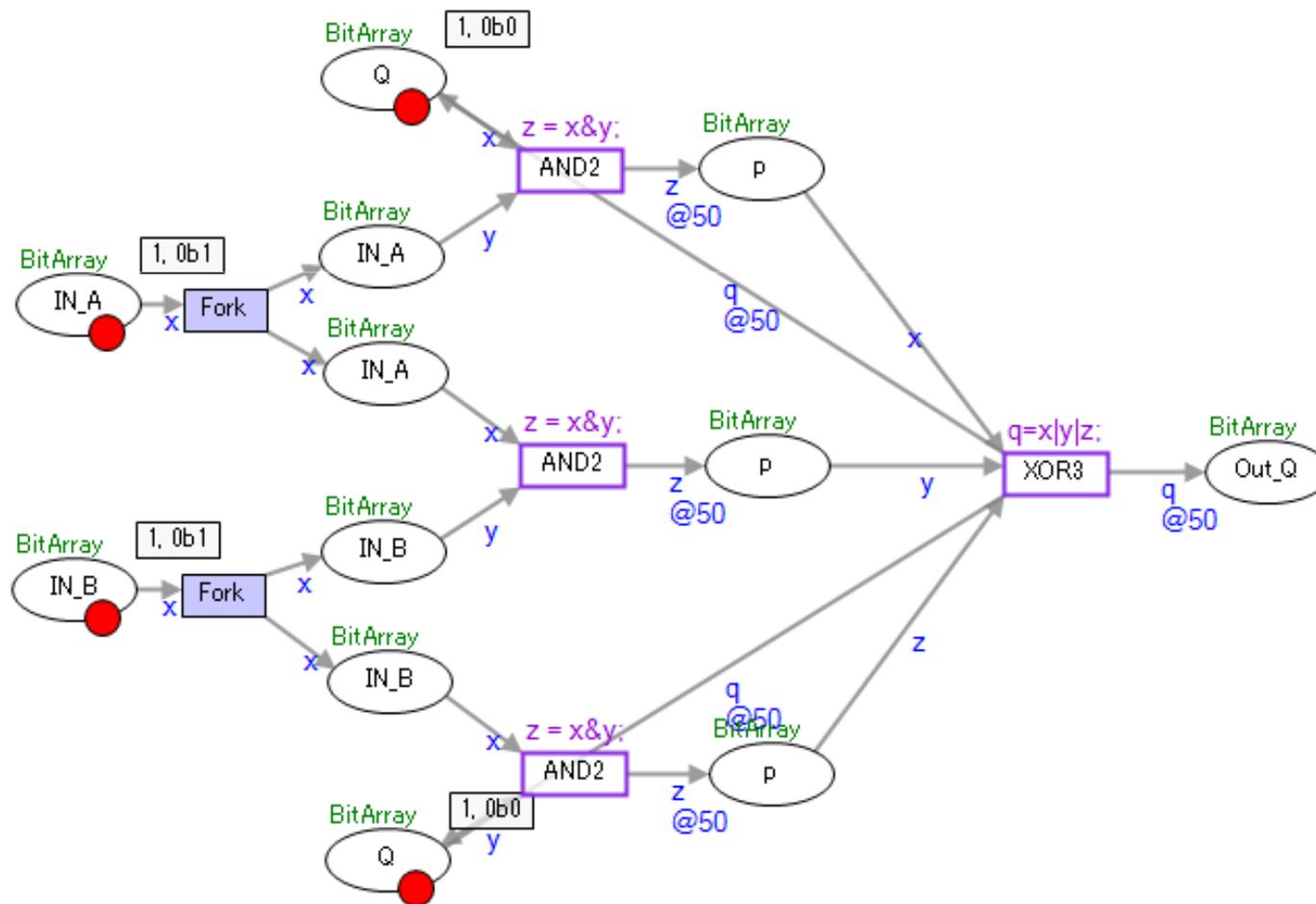
100



HiPS2で記述したカラーペトリネットのモデル

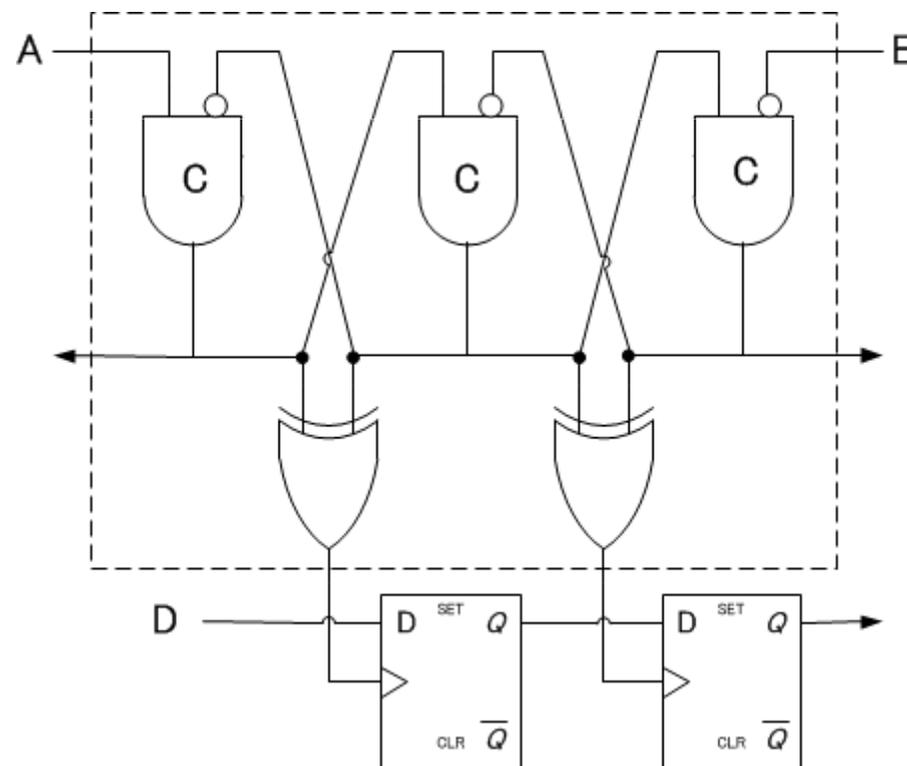
Muller's C-elementのモデル化

- 論理ゲートをブラックボックス化したモデル

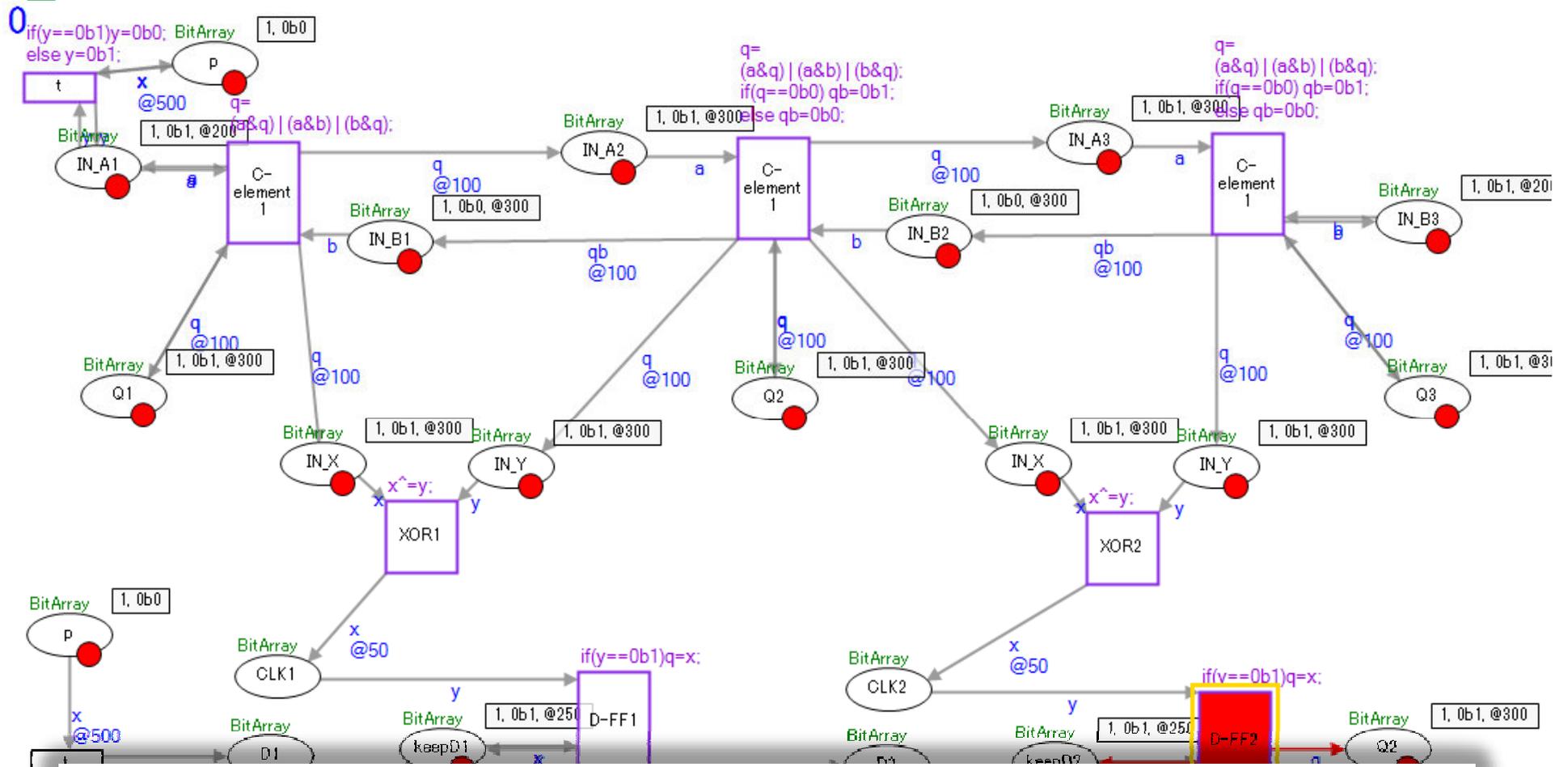


2bitデータレジスタ

- FIFOメモリの構成要素
- 通常のペトリネットで表現すると、モデル構造が複雑かつ巨大化



2bitデータレジスタのモデル化



- 時間P/T ネットに比べ容易に設計・記述ができ、FIFO 動作をより視覚的、直感的に確認できた。

今後の課題

- 大規模な実回路のモデル化と検証
- 設計・検証済の機能コンポーネントのライブラリ化
- 上流設計に対する一貫した検査系の構築